

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-168578  
(43)Date of publication of application : 22.09.1984

(51)Int.CI.

G06F 15/332

(21)Application number : 58-042171  
(22)Date of filing : 16.03.1983

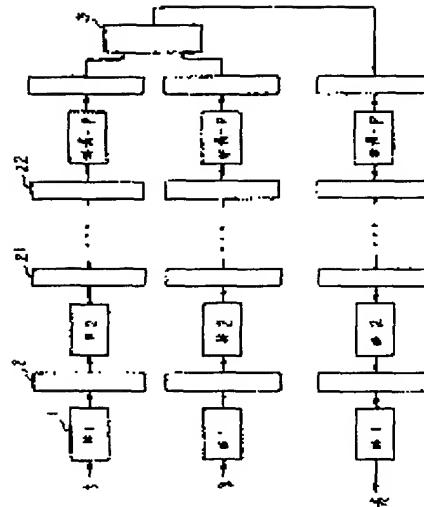
(71)Applicant : HITACHI LTD  
(72)Inventor : MAEDA AKIRA  
HONMA KOICHI  
YAMAGATA NOBUTAKE  
FURUMURA FUMINOBU  
KUBO YUTAKA

## (54) FET OPERATION SYSTEM

### (57)Abstract:

PURPOSE: To obtain the correlation value of the  $(k-p)$ th stage by using the  $K$  stages of FET (first Fourier transformer) connected into a pipeline form and making use of the operation result obtained by the FET of the  $(k-p)$ th stage.

CONSTITUTION: The picture data (f) having the  $2k$  length  $N$  and the reference data (g) are stored in a buffer 2 after the operation of the 1st stage carried out by butterfly operation devices 1 and 1. Hereafter the FETs are successively executed in the same way via the buffers 21, 22W. The outputs of  $(k-p)$  stages are supplied to a multiplier 3 to perform a correlative operation. The result of this operation is supplied again to a pipeline FET device, and an operation adverse to that mentioned above is carried out over  $(k-p)$  stages. Then the final result (h) is obtained. Thus a correlative operation is possible with no increment of operation quantity.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭59-168578

⑫ Int. Cl. 3  
G 06 F 15/332

識別記号

厅内整理番号  
7056-5B

⑬ 公開 昭和59年(1984)9月22日  
発明の数 2  
審査請求 未請求

(全 5 頁)

⑭ F F T演算方式

⑫ 特願 昭58-42171

⑭ 発明者 古村文伸

⑫ 出願 昭58(1983)3月16日

川崎市麻生区王禅寺1099番地株  
式会社日立製作所システム開発  
研究所内

⑭ 発明者 前田章

⑭ 発明者 久保裕

川崎市麻生区王禅寺1099番地株  
式会社日立製作所システム開発  
研究所内

日立市大みか町五丁目2番1号  
株式会社日立製作所大みか工場  
内

⑭ 発明者 本間弘一

⑭ 発明者 久保裕

川崎市麻生区王禅寺1099番地株  
式会社日立製作所システム開発  
研究所内

⑭ 出願人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号

⑭ 発明者 山縣振武

⑭ 代理人 弁理士 高橋明夫 外1名

明細書

発明の名称 F F T演算方式

〔従来技術〕

特許請求の範囲

従来の F F T専用装置においては、第1図に示す F F Tバタフライ演算を高速に実行する目的で、複数の演算器 1, 11, ..., 12 を結合し、第2図(a)に示すバイブルайн型、あるいは同図(b)に示すパラレルバイブルайн型に装置を構成することが提案されてきた。(第2図(b)について、「特願昭56-120771号」、第2図(b)については「ISSCC 82 IE<sup>2</sup> A 24 CMOS/LSI 32-Point Fast Fourier Transform Processor」を参照のこと)従来方式では、入力データ長によりハードウェア量および演算量が決定されるが、両者とも複雑なものではないという欠点があつた。

1. バイブルайн型に結合された k (k: 正整数) 段の F F Tと、乗算器 K により入力データ間の相関を計算する相關演算方式において、(k-p) 段目 (p: 正整数) の F F Tによる演算結果を利用して (k-p) 段目の相関値を求めるよう にすることを特徴とする F F T演算方式。

2. パラレルバイブルайн型に演算器を結合した F F T演算方式において、F F Tの各段ごとに 所定演算サイクルを用いて固定小数点表示されたデータの 1 /  $\sqrt{2}$  倍演算と定数の変更演算をお こなうことを特徴とする F F T演算方式。

一方、これらの装置を固定小数点演算で実現できれば、速度・コストの点で非常に有利であるが、精度を保つためには、データのダイナミック・レンジをできるだけ大きくとることが必要となる。従来では F F T演算の 2 段毎に 2 で割る方法があるがこのようにすると各段の処理内容が異なるこ とになつたり、有効なダイナミックレンジを使い

発明の詳細を説明

〔発明の利用分野〕

本発明は Fast Fourier Transformer (以下、単に F F Tと略記する) を用いた演算方式に係り、特に高速で低価格かつ充分な精度で演算処理をするに好適な F F T演算方式に関する。

切つていねことになるなどの欠点があつた。

〔発明の目的〕

本発明の目的は、FFTを利用したパラレルバイオブライン型演算装置において、従来より少ないハードウェア、演算量で相関演算および固定小数点演算をおこなうFFT演算方式を提供することにある。

〔発明の概要〕

信号処理や画像処理においては、長さNの離散データと長さN'の参照データとの相関関数を両データの相対位置を変えながら求めることが多い。この場合、相関関数を定義通りに計算するより、FFTを利用し周波数空間での演算として実行する方が、演算量が格段に少なくて済むことが知られている。FFT演算は第1図に示すように、第2図のバタフライ演算を単位として実行される。長さN=2<sup>k</sup>のデータのFFTは、この演算をk段繰り返すことによつて得られるが、本発明ではこの演算を最後まで行なわず、k-p段(p>0)の結果を使って相関演算を行なうことにより、全

実行される。中段からは参照データgが入力され、画像データと同時にFFTが実行される。k-p(p>0)段後の各データは乗算器3に入力され、相関演算が実行される。結果は再びバイオブラインFFT装置に入力され、上記とは逆の演算がk-p段にわたつて実行され、最終結果hが出力される。第4図は乗算器の構成で、データは入力バッファ4に蓄えられ、乗算器5、中間バッファ6、加算器7によつて横和演算が行なわれた後、結果が出される。動作はコントローラ8によつて制御される。次に演算の内容を説明する。第5図のバタフライ演算は

$$\begin{cases} x' = x + W^k y \\ y' = x - W^k y \\ W = \exp \left( \frac{2\pi}{N} j \right), j^2 = -1 \end{cases} \quad \dots \dots \dots (1)$$

なる演算内容を略記したものである。第6図はこの記法を使用し、N=8点(X<sub>0</sub>~X<sub>7</sub>)のFFT演算の内容を示したものである。以下、合成開口レーダの場合でN=8192(2<sup>13</sup>)、P=1とし

てとして少ないハードウェア、演算量で相関演算を実行する点に第1の特徴がある。

また、FFT演算においては、データのダイナミックレンジは各段毎に平均として $\sqrt{2}$ 倍されるので、固定小数点演算でFFT演算を実行する時、ダイナミックレンジを一定に保つために、各段ごとに入力データを $\sqrt{2}$ で割る処理を実行すればよし、本発明では第2図(c)に示すように、この処理は、定数Wの変更と、入力データの $1/\sqrt{2}$ 倍演算の追加で実現する点に第2の特徴がある。この演算の追加によつて、全体の演算速度は低下しない。

〔発明の実施例〕

以下、本発明の第1の実施例を第3図により説明する。第3図は、合成開口レーダの画像再生処理に必要な相関演算をパラレルバイオブライン型に高速に計算するものである。長さN=2<sup>k</sup>の画像データfは最上段より入力され、バタフライ演算段1によつて第1段の演算がなされ、バッファ2に結果が格納される。以下同様に、バッファ2, 2, 2, ……を介しながら、次々にFFTが

て説明する。

画像データをf<sup>(0)</sup>(n=0, 1, ……, N-1)、参照データをg<sup>(0)</sup>(n=0, 1, ……, N-1)とする。(f<sup>(0)</sup>, g<sup>(0)</sup>は複素数)FFT演算の第m段を終了した結果を、それぞれf<sup>(m)</sup>, g<sup>(m)</sup>とおく。求めるべき相関関数をh<sup>(0)</sup>(n=0, 1, ……, N-1)とおくと、

$$h^{(0)} = \sum_{i=0}^{N-1} f^{(0)}_i g^{(0)}_{i+N} \quad \dots \dots \dots (2)$$

である。ただし(2)式でf<sup>(0)</sup>, g<sup>(0)</sup>は

$$\begin{cases} f^{(0)}_{i+N} = f^{(0)}_i \\ g^{(0)}_{i+N} = g^{(0)}_i \end{cases} \quad \dots \dots \dots (3)$$

が成立するよう、添字の範囲を拡張しておくものとする。このとき、h<sup>(0)</sup>のフーリエ変換h<sup>(1)</sup>は、f<sup>(0)</sup>のフーリエ変換f<sup>(1)</sup>とg<sup>(0)</sup>のフーリエ変換g<sup>(1)</sup>の複素共役との積で与えられることが知られている。

$$h^{(1)} = f^{(1)} \cdot g^{(1)*} \quad \dots \dots \dots (4)$$

したがつてh<sup>(0)</sup>はf<sup>(1)</sup>・g<sup>(1)\*</sup>を逆フーリエ変

換することによつて得られる。これが従来の、FFTを利用した相関演算である。

第k段のバタフライ演算に注目すると

$$\left\{
 \begin{aligned}
 f_0^{(k)} &= f_0^{(k-1)} + f_{N/2}^{(k-1)} \\
 f_1^{(k)} &= f_1^{(k-1)} + W f_{N/2+1}^{(k-1)} \\
 f_2^{(k)} &= f_2^{(k-1)} + W^2 f_{N/2+1}^{(k-1)} \\
 &\vdots \\
 f_i^{(k)} &= f_i^{(k-1)} + W^i f_{N/2+1}^{(k-1)} \\
 f_{N/2}^{(k)} &= f_0^{(k-1)} - f_{N/2}^{(k-1)} \\
 f_{N/2+1}^{(k)} &= f_1^{(k-1)} - W f_{N/2+1}^{(k-1)} \\
 f_{N/2+2}^{(k)} &= f_1^{(k-1)} - W^2 f_{N/2+1}^{(k-1)} \\
 &\vdots
 \end{aligned} \right. \quad \dots \dots \dots (5)$$

ただし  $0 \leq i < N/2$ ,  $W = \exp\left(\frac{2\pi j}{N}\right)$

$g^{(k)}$  も同様

また、 $h_n^{(k)}$  の逆フーリエ変換は、

$$\left\{
 \begin{aligned}
 h_n^{(k+1)} &= h_0^{(k)} + h_{N/2}^{(k)}
 \end{aligned} \right.$$

したがつて、 $f_n^{(0)}$ ,  $g_n^{(0)}$  のFFTによるフーリエ変換  $f_n^{(k)}$ ,  $g_n^{(k)}$  を求めずに、 $f_n^{(k+1)}$ ,  $g_n^{(k+1)}$  から(7)式に従つて  $h_n^{(k+1)}$  を求めれば、第3図に示すように、バタフライ演算器を合計3(一般には、 $2p + p = 3p$ )段分節減することができる。次に、演算量を従来方式と比較する。バタフライ演算は、乗算4回、加算6回で実行できるので、3段分で、乗算6N回、加算9N回が節減される。また、N点の複素乗算は、4N回の乗算、2N回の加算を含む。したがつて、減少分は乗算10N回、加算11N回である。それに対し、増加分は、式(7)に含まれる乗算10N回、加算7N回である。したがつて、本実施例によれば、ハードウェアの節減として、バタフライ演算器3段、演算量の節減として加算4N回という効果と、データ入力から結果の出力までの時間が短縮されるという効果がある。

つぎに、本発明の第2の実施例を第7図と第8図により説明する。第7図は、FFT演算の処理単位である。バタフライ演算を実行する基本演算

$$\left\{
 \begin{aligned}
 h_1^{(k+1)} &= h_1^{(k)} + h_{N/2}^{(k)} \\
 &\vdots \\
 h_i^{(k+1)} &= h_i^{(k)} + h_{N/2}^{(k)} \\
 h_{N/2}^{(k+1)} &= h_0^{(k)} - h_{N/2}^{(k)} \\
 &\vdots \\
 h_{N/2+1}^{(k+1)} &= W^{-1} (h_1^{(k)} - h_{N/2+1}^{(k)}) \\
 &\vdots \\
 h_{N/2+2}^{(k+1)} &= W^{-1} (h_1^{(k)} - h_{N/2+1}^{(k)}) \quad \dots \dots \dots (6)
 \end{aligned} \right.$$

式(4), (5), (6)より  $h_n^{(k+1)}$  を  $f_n^{(k+1)}$ ,  $g_n^{(k+1)}$  で表わすと

$$\left\{
 \begin{aligned}
 h_1^{(k+1)} &= (f_1^{(k-1)} + W^i f_{N/2+1}^{(k-1)}) (g_1^{(k-1)*} + W^{-1} g_{N/2+1}^{(k-1)*}) \\
 &\quad + (f_1^{(k-1)} - W^i f_{N/2+1}^{(k-1)}) (g_1^{(k-1)*} - W^{-1} g_{N/2+1}^{(k-1)*}) \\
 &= 2 (f_1^{(k-1)} g_1^{(k-1)*} + f_{N/2+1}^{(k-1)} g_{N/2+1}^{(k-1)*}) \\
 h_{N/2+1}^{(k+1)} &= W^{-1} [(f_1^{(k-1)} + W^i f_{N/2+1}^{(k-1)}) (g_1^{(k-1)*} + W^{-1} g_{N/2+1}^{(k-1)*}) \\
 &\quad - (f_1^{(k-1)} - W^i f_{N/2+1}^{(k-1)}) (g_1^{(k-1)*} - W^{-1} g_{N/2+1}^{(k-1)*})] \\
 &= 2 (f_{N/2+1}^{(k-1)} g_1^{(k-1)*} + f_1^{(k-1)} g_{N/2+1}^{(k-1)*} - W^{-2}) \quad \dots \dots \dots (7)
 \end{aligned} \right.$$

モジュールの構成を示す。第8図は、本方式によるバタフライ演算の内容である。乗算a, bが本発明により追加された乗算で、定数dは  $1/\sqrt{2}$  である。定数c, sも従来方式の  $1/\sqrt{2}$  の値である。これらの定数はROM706に記憶されている。1回のバタフライ演算は、6回の固定小数点乗算と6回の固定小数点加算を含む。基本モジュールは乗算器707、加算器710を有し、演算はコントローラ709によりバイナリ的に実行されるので、1回のバタフライ演算は従来と同じく、6マシンサイクルで実行される。このときのデータの流れを第9図に示す。ここで乗算器と加算器はデータ入力から2マシンサイクル後に結果を出力するものとする。乗算器はc, d, e, f, a, bの順に乗算を実行し、結果はバッファ708に蓄えられる。そのデータは加算器710に入力され、加算A, B, C, D, E, Fが順に実行され最終結果は、最初のデータ入力から10マシンサイクル後に得られるが、バイナリ的に順次データを処理することによつて、6マシンサイクル

瓶に、結果が出力される。

第10図に、ダイナミック・レンジの推移を示す。従来方式では、FFT演算の各段でダイナミック・レンジが $\sqrt{2}$ 倍されるため、2段毎に2で割る必要がある。これに対し、本方式ではダイナミック・レンジは一定である。

本実施例によれば、入力データのダイナミック・レンジを従来の $\sqrt{2}$ 倍にとれるので、同じく $\sqrt{2}$ 倍の精度でFFT演算が可能である。

#### 〔発明の効果〕

以上説明したごとく本発明によれば、相関演算をFFTの中間結果を利用して実行できるので、演算量を増やすことなく、より少ないFFT専用演算器で相関演算が実行できる効果がある。

さらに、FFT演算の各段における、データのダイナミック・レンジを一定に保つことができる所以、演算速度を低下させることなく、高精度のFFT演算結果を得ることができる。

#### 図面の簡単な説明

第1図はFFT演算の処理フローを示す図、第

2図(a), (b)はそれぞれバイブライン型、パラレルバイブライン型FFTの構成を示す図、第2図(c)はダイナミックレンジを一定に保つ処理を示す図、第3図は本方式によるバタフライ演算器の処理内容を示す図、第4図は本発明の第1の実施例で用いられるバタフライ演算器の構成を示す図、第5図はバタフライ演算を略記した図、第6図はFFT演算の内容を略記した図、第7図は本発明の第2の実施例で用いられるバタフライ演算器の構成を示す図、第8図は第7図の処理内容を詳細に示す図、第9図はバイブルайн演算のデータフローとタイミングの関係を示す図、第10図はFFT演算の各段におけるデータのダイナミック・レンジの変化を示す図である。

1…バタフライ演算器、2…バツフア。

代理人弁理士高橋明夫

